

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-273380

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

G11C 16/06  
G06F 3/00  
G06F 15/78  
H03K 17/00  
H03K 17/693  
H03K 19/0175

(21)Application number : 10-070338

(71)Applicant : NEC ENG LTD

(22)Date of filing : 19.03.1998

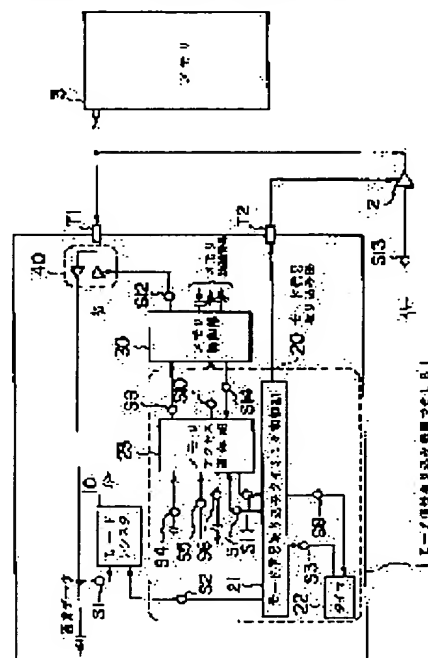
(72)Inventor : NAKAJIMA KENICHI

## (54) LSI OPERATION MODE SETTING SIGNAL FETCHING METHOD AND LSI WITH MODE SIGNAL FETCHING FUNCTION

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize setting of an operation mode without providing exclusive terminals for setting the operation mode and preventing ordinary operation during a normal operation of LSI.

**SOLUTION:** An output of a tristate buffer 2 is wired to a data bus connecting between bidirectional terminals T1 of LSI1 and a memory 3. An output terminal T2 of LSI1 is connected to an output enable terminal of the tristate buffer 2. Responding to a mode signal fetching request signal S3 generated from a timer 22 in a constant time interval, a control means 21 generates a mode register timing signal S2, a fetching request enable signal S8 and output control signal of tristate buffer 2. Responding to the mode register timing signal S2, a mode register 10 inputs the setting data from a bidirectional buffer 40. Responding to the fetch signal S11 from a memory access judging means 23, the control means 21 sets the signals S2, S7, S8 in the waiting condition.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-273380

(43) 公開日 平成11年(1999)10月8日

(51) Int. Cl. <sup>6</sup>

識別記号

F I

G11C 16/06

G11C 17/00

631

G06F 3/00

G06F 3/00

P

15/78

510

15/78

510

D

H03K 17/00

H03K 17/00

Q

17/693

17/693

Z

審査請求 未請求 請求項の数 9 O L (全13頁) 最終頁に続く

(21) 出願番号 特願平10-70338

(22) 出願日 平成10年(1998)3月19日

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 中島 健一

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

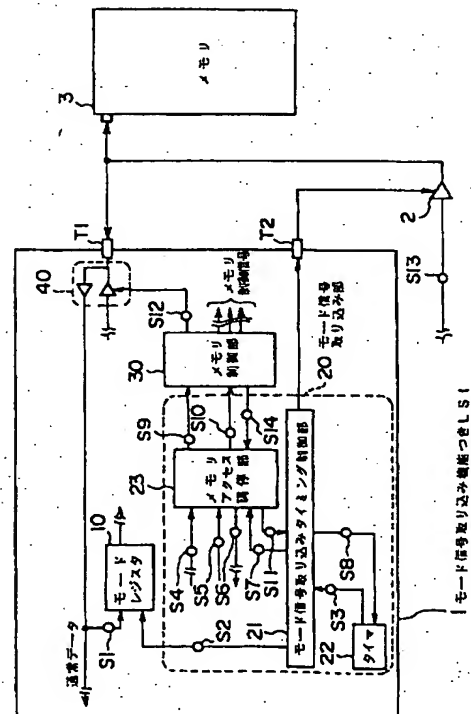
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 L S I 動作モード設定信号取り込み方法およびモード信号取り込み機能つき L S I

(57) 【要約】

【課題】 動作モードを設定するための専用端子を設けることなく、L S I の通常動作中に通常動作を妨げることなく、動作モードの設定を可能とする。

【解決手段】 L S I 1 の双方向端子 T 1 とメモリ 3 との間を接続するデータバスに、トライステートバッファ 2 の出力をワイヤード接続する。L S I 1 の出力端子 T 2 はトライステートバッファ 2 の出力イネーブル端子に接続されている。タイマ 2 2 から一定時間間隔で生成されるモード信号取り込み要求信号 S 3 に応答して、制御部 2 1 はモードレジスタタイミング信号 S 2、取り込み要求許可信号 S 8、トライステートバッファ 2 の出力制御信号を生成する。モードレジスタタイミング信号 S 2 に応答して、モードレジスタ 1 0 は双方向バッファ 4 0 から設定データを入力する。メモリアクセス調停部 2 3 からの取り込み待ち信号 S 1 1 に応答して、制御部 2 1 は信号 S 2、S 7、S 8 を待たせる。



## 【特許請求の範囲】

【請求項 1】 複数の動作モードを有する L S I に対して動作モード設定信号を取り込む方法であって、前記動作モード設定信号が入力されるトライステートバッファの出力を、前記 L S I の双方向端子とメモリとの間を接続するデータバスにワイヤード接続し、前記 L S I の通常動作中に前記トライステートバッファをイネーブル状態として、前記動作モード設定信号を前記 L S I 内に取り込むようにしたことを特徴とする L S I 動作モード設定信号取り込み方法。

【請求項 2】 前記 L S I は一定時間間隔でモード信号取り込みサイクルとなる、請求項 1 に記載の L S I 動作モード設定信号取り込み方法。

【請求項 3】 前記モード信号取り込みサイクルと前記メモリに対するアクセスサイクルとが競合した場合には、どちらかのサイクルを待たせることを特徴とする、請求項 2 に記載の L S I 動作モード設定信号取り込み方法。

【請求項 4】 複数の動作モードを有する L S I に対して動作モード設定信号を取り込む方法であって、前記動作モード設定信号が入力されるトライステートバッファの出力を、前記 L S I の双方向端子とメモリとの間を接続するデータバスにワイヤード接続し、前記双方向端子の状態を監視して、前記データバスが前記メモリのアクセスに使用されているか否かを判定し、前記メモリのアクセスが行なわれていないアイドル状態のときに、前記トライステートバッファをイネーブル状態として、前記動作モード設定信号を前記 L S I 内に取り込むようにしたことを特徴とする L S I 動作モード設定信号取り込み方法。

【請求項 5】 メモリとデータバスを介して接続される双方向端子と、動作モード設定信号が入力されて出力が前記データバスにワイヤード接続されたトライステートバッファの出力イネーブル端子に接続される出力端子とを持ち、複数の動作モードを有したモード信号取り込み機能つき L S I であって、

前記双方向端子に接続された双方向バッファと、メモリ制御信号と前記双方向バッファの出力制御信号を生成するメモリ制御部と、前記双方向バッファからの設定データが入力されるモードレジスタと、

該モードレジスタにタイミング信号を供給すると共に、前記メモリ制御部へメモリライト起動信号とメモリリード起動信号を送出し、さらに、前記出力端子へ前記トライステートバッファの出力制御信号を与えるモード信号取り込み部とを備えたことを特徴とするモード信号取り込み機能つき L S I 。

【請求項 6】 前記モード信号取り込み部は、設定された一定時間間隔でモード信号取り込み要求信号を生成するタイマと、

メモリライト要求信号とメモリリード要求信号とを受けて、前記メモリライト起動信号と前記メモリリード起動信号を生成するメモリアクセス調停部と、

前記モード信号取り込み要求信号に応答して、前記タイミング信号と前記トライステートバッファの出力制御信号を生成するモード信号取り込みタイミング制御部とを有する請求項 5 に記載のモード信号取り込み機能つき L S I 。

【請求項 7】 前記モード信号取り込みタイミング制御部は、前記タイマに取り込み要求許可信号を送出する、請求項 6 に記載のモード信号取り込み機能つき L S I 。

【請求項 8】 前記モード信号取り込みタイミング制御部は、前記動作モード設定信号の取り込み動作中であることを示す取り込みサイクル信号を前記メモリアクセス調停部へ送出し、

前記メモリアクセス調停部は、前記取り込みサイクル信号を受けている期間、前記メモリライト起動信号と前記メモリリード起動信号の生成を待たせる手段を有する、請求項 6 に記載のモード信号取り込み機能つき L S I 。

【請求項 9】 前記メモリアクセス調停部は、前記メモリへのアクセス中を示す取り込み待ち信号を前記モード信号取り込みタイミング制御部へ送出し、

前記モード信号取り込みタイミング制御部は、前記取り込み待ち信号を受けている期間中、前記タイミング信号と前記トライステートバッファの出力制御信号の生成を待たせる手段を有する、請求項 6 に記載のモード信号取り込み機能つき L S I 。

## 【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、L S I に関し、特に、複数の動作モードを有する L S I に対して動作モード設定信号を取り込む方法に関する。

【 0 0 0 2 】

【従来の技術】この種の従来の技術を、実開昭 6 4 - 2 3 1 3 6 号公報（以下、先行技術例と記す）に開示された「L S I 回路」を例に挙げて説明する。

【 0 0 0 3 】この先行技術例では、複数の動作モードを有する L S I 回路において、動作モードを記憶する書き換え可能な不揮発性メモリを備え、複数のデータ入力端子、1 本のテスト信号入力端子とを有する。データ入力端子は、L S I 回路内部の回路に接続されると共に、L S I 回路内部のトライステートバッファに接続され、このトライステートバッファ、不揮発性メモリ、モード設定回路をワイヤード接続して内部バスを構成している。テスト信号入力端子は、上記トライステートバッファの出力制御端子、不揮発性メモリのリードイネーブル端子に接続され、インバータを介してライトイネーブル端子に接続されている。

【 0 0 0 4 】次に、この先行技術例に開示された L S I 回路の動作について説明する。L S I 回路の動作モード

を設定する場合、テスト信号入力をハイレベルとする。テスト信号がハイレベルとなると、トライステートバッファが出力状態となり、不揮発性メモリに対してデータ入力が可能となる。また、上記テスト信号がハイレベルになると、不揮発性メモリのリードイネーブル端子がハイレベル、ライトイネーブル端子がロウレベルとなり、データ書き込み可能な状態となる。この状態でデータ入力端子から入力されたデータは、トライステートバッファを介して不揮発性メモリに書き込まれる。このようにしてL S I回路の動作モードが不揮発性メモリに設定される。

【0 0 0 5】L S I回路の動作モードを不揮発性メモリに設定した後、テスト信号をロウレベルに切り換える。テスト信号がロウレベルになると、トライステートバッファがハイインピーダンスとなり、不揮発性メモリに対してのデータ入力が可能となる。したがって、データ入力端子から入力されたデータは、L S I回路の内部回路のみに入力されるようになる。また、上記テスト信号がロウレベルになると、不揮発性メモリのリードイネーブル端子がロウレベル、ライトイネーブル端子がハイレベルになり、出力モードとなる。したがって、不揮発性メモリから動作モードの設定データが読み出され、L S I回路の動作モードが設定される。

【0 0 0 6】この状態でデータ入力端子から入力されたデータは、内部回路に入力され不揮発性メモリによって指定された動作モードで処理を行なう。

【0 0 0 7】

【発明が解決しようとする課題】上述した先行技術例に示されるL S I回路では、L S I回路の動作モードの設定をするためには、テスト信号入力端子をハイレベルにしなければならない。つまり、L S I回路の通常動作モードの状態から動作モードを設定する状態に切り換える必要があり、L S I回路外部からの指示が必要となる。また、データ入力端子を監視する機能が無いため、通常データ入力中に動作設定モードに移行してしまい、通常データの処理が正常に行なわれない可能性がある。

【0 0 0 8】したがって、本発明の目的は、L S Iの動作モードを取り込むためのL S I外部からの指示を必要としない、L S I動作モード設定信号取り込み方法およびモード信号取り込み機能つきL S Iを提供することにある。

【0 0 0 9】本発明の他の目的は、L S Iの通常動作中にその通常動作を妨げることなく、動作モードを設定することが可能な、L S I動作モード設定信号取り込み方法およびモード信号取り込み機能つきL S Iを提供することにある。

【0 0 1 0】

【課題を解決するための手段】本発明によれば、複数の動作モードを有するL S Iに対して動作モード設定信号を取り込む方法であって、前記動作モード設定信号が入

力されるトライステートバッファの出力を、前記L S Iの双方向端子とメモリとの間を接続するデータバスにワイヤード接続し、前記L S Iの通常動作中に前記トライステートバッファをイネーブル状態として、前記動作モード設定信号を前記L S I内に取り込むようにしたことを特徴とするL S I動作モード設定信号取り込み方法が得られる。

【0 0 1 1】また、本発明によれば、複数の動作モードを有するL S Iに対して動作モード設定信号を取り込む方法であって、前記動作モード設定信号が入力されるトライステートバッファの出力を、前記L S Iの双方向端子とメモリとの間を接続するデータバスにワイヤード接続し、前記双方向端子の状態を監視して、前記データバスが前記メモリのアクセスに使用されているか否かを判定し、前記メモリのアクセスが行なわれていないアイドル状態のときに、前記トライステートバッファをイネーブル状態として、前記動作モード設定信号を前記L S I内に取り込むようにしたことを特徴とするL S I動作モード設定信号取り込み方法が得られる。

【0 0 1 2】さらに、本発明によれば、メモリとデータバスを介して接続される双方向端子と、動作モード設定信号が入力されて出力が前記データバスにワイヤード接続されたトライステートバッファの出力イネーブル端子に接続される出力端子とを持ち、複数の動作モードを有したモード信号取り込み機能つきL S Iであって、前記双方向端子に接続された双方向バッファと、メモリ制御信号と前記双方向バッファの出力制御信号を生成するメモリ制御部と、前記双方向バッファからの設定データが入力されるモードレジスタと、該モードレジスタにタイミング信号を供給すると共に、前記メモリ制御部へメモリライト起動信号とメモリリード起動信号を送出し、さらに、前記出力端子へ前記トライステートバッファの出力制御信号を与えるモード信号取り込み部とを備えたことを特徴とするモード信号取り込み機能つきL S Iが得られる。

【0 0 1 3】

【発明の実施の形態】以下、図面を参照して本発明の一実施形態を詳細に説明する。

【0 0 1 4】図2は本発明に係るL S I動作モード設定信号取り込み方法が適用される、モード信号取り込み機能つきL S I（以下、単にL S Iとも称す）1と、その周辺回路を示すブロック図である。L S I 1は双方向端子T 1と出力端子T 2とを持つ。双方向端子T 1はメモリ3にデータバスを介して接続されている。出力端子T 2はトライステートバッファ2の出力イネーブル端子に接続されている。トライステートバッファ2にはL S I 1の動作モードを設定する動作モード設定信号S 1 3が入力され、トライステートバッファ2の出力は、双方向端子T 1とメモリ3を接続するデータバスにワイヤード接続される。

【0015】図1にLSI1の内部構成を示す。図示のLSI1は、LSI1の動作モードを設定するためのモードレジスタ10と、本発明に係る新規ブロックであるモード信号取り込み部20と、メモリ制御部30と、双方向バッファ40とを有する。

【0016】双方向バッファ40は双方向端子T1に接続されており、モードレジスタ10には双方向バッファ40から設定データを入力される。

【0017】モード信号取り込み部20は、モード信号取り込みタイミング制御部21と、タイマ22と、メモリアクセス調停部23とからなる。タイマ22は、設定された時間にしたがって一定時間間隔でモード信号取り込み要求信号S3をモード信号取り込みタイミング制御部21へ送出する。

【0018】メモリ制御部30はメモリ制御信号と双方向バッファ40の出力制御信号S12を生成する。

【0019】モード信号取り込みタイミング制御部21は、タイマ22よりモード信号取り込み要求信号S3を受け、モードレジスタタイミング信号S2、取り込みサイクル信号S7、取り込み要求許可信号S8、およびトライステートバッファ2の出力制御信号を生成する。また、メモリアクセス調停部23より取り込み待ち信号S11を受けて、モードレジスタタイミング信号S2、取り込みサイクル信号S7、取り込み要求許可信号S8、およびトライステートバッファ2の出力制御信号の生成を待たせる機能を持つ。

【0020】メモリアクセス調停部23は、システム（図示せず）からメモリライト要求信号S4を受け、メモリ制御部30に対してメモリライト起動信号S9を生成する。また、メモリアクセス調停部23は、システムからメモリリード要求信号S5を受け、メモリ制御部30に対してメモリリード起動信号S10を生成する。さらに、メモリアクセス調停部23は、メモリライト要求信号S4、メモリリード要求信号S5に対応したメモリサイクル許可信号S6を生成し、メモリ制御部30からメモリサイクル終了信号S14を受けて、モード信号取り込みタイミング制御部21に対する取り込み待ち信号S11を生成する。換言すれば、メモリアクセス調停部23は、双方向端子T1の状態を監視して、データバスがメモリ3のアクセスに使用されているか否かを判定する手段として働き、データバスがメモリ3のアクセスに使用されている間、取り込み待ち信号S11を生成する。また、メモリアクセス調停部23は、モード信号取り込みタイミング制御部21からの取り込みサイクル信号S7を受けて、メモリライト起動信号S9、メモリリード起動信号S10、およびメモリサイクル許可信号S6の生成を待たせる機能を持つ。

【0021】図3はモード信号取り込みタイミング制御部21の詳細を示す回路図である。モード信号取り込みタイミング制御部21は、第1乃至第7のDフリップ・

フロップ2101、2102、2103、2104、2105、2106、および2107と、第1乃至第6のANDゲート2111、2112、2113、2114、2115、および2116と、第1乃至第3のOAゲート2121、2122、および2123と、インバータゲート2131と、JKフリップ・フロップ2141とから構成されている。

【0022】第1のOAゲート2121の一方の入力端子にはモード信号取り込み要求信号S3が供給され、他方の入力端子は第1のDタイプ・フリップ／フロップ2101の出力端子Qに接続されている。第1のOAゲート2121の出力信号は第1のANDゲート2111の一方の入力端子に供給され、第1のANDゲート2111の他方の入力端子は第3のDフリップ・フロップ2103の相補出力端子／Qに接続されている。第1のANDゲート2111の出力信号は第1のDフリップ・フロップ2101のデータ入力端子Dに供給される。第1のDフリップ・フロップ2101の出力端子Qは上述したようにOAゲート2121の入力端子に供給されると共に、第2のOAゲート2122の一方の入力端子に供給される。

【0023】第2のOAゲート2122の他方の入力端子は第2のDフリップ・フロップ2102の出力端子Qに接続されている。第2のOAゲート2122の出力信号は第2のANDゲート2112の一方の入力端子に供給される。第2のANDゲート2112の他方の入力端子は、第3のDフリップ・フロップ2103の相補出力端子／Qに接続されている。第2のANDゲート2112の出力信号は第2のDフリップ・フロップ2102のデータ入力端子Dに接続されている。第2のDフリップ・フロップ2102の出力端子Qは上述したように第2のOAゲート2122の入力端子に供給されると共に、第3のANDゲート2113の一方の入力端子に供給される。第3のANDゲート2113の他方の入力端子には、取り込みウェイト信号S11をインバータゲート2131で反転した信号が供給される。インバータゲート2131と第3のANDゲート2113との組み合わせは、メモリアクセス調停部23から供給される取り込み待ち信号S11に応答して、モードレジスタタイミング信号S2、取り込みサイクル信号S7、取り込み要求許可信号S8、およびトライステートバッファ2の出力制御信号の生成を待たせる手段として働く。

【0024】第3のANDゲート2113の出力信号は、JKフリップ・フロップ2141のJ入力端子と第4のANDゲート2114の一方の入力端子とに供給される。第4のANDゲート2114の他方の入力端子は、第3のDフリップ・フロップ2103の出力端子Qに接続されている。第4のANDゲート2114の出力信号は第3のDフリップ・フロップ2103のデータ入力端子Dに供給される。第3のDフリップ・フロップ2

1 0 3 の出力端子 Q からは取り込み要求許可信号 S 8 が出力され、この取り込み要求許可信号 S 8 は第 3 のオアゲート 2 1 2 3 の一方の入力端子にも供給されている。第 3 の D フリップ・フロップ 2 1 0 3 の相補出力端子 / Q は、上述したように、第 1、第 2、および第 4 のアンドゲート 2 1 1 1、2 1 1 2、および 2 1 1 4 の入力端子に供給されている。

【 0 0 2 5 】第 3 のオアゲート 2 1 2 3 の他方の入力端子は、第 4 の D フリップ・フロップ 2 1 0 4 の出力端子 Q に接続されている。第 3 のオアゲート 2 1 2 3 の出力信号は第 5 のアンドゲート 2 1 1 5 の一方の入力端子に供給され、第 5 のアンドゲート 2 1 1 5 の他方の入力端子は第 6 の D フリップ・フロップ 2 1 0 6 の相補出力端子 / Q に接続されている。第 5 のアンドゲート 2 1 1 5 の出力信号は第 4 の D フリップ・フロップ 2 1 0 4 のデータ入力端子 D に供給される。第 4 の D フリップ・フロップ 2 1 0 4 の出力端子 Q は、上述したように、第 3 のオアゲート 2 1 2 3 の入力端子に接続されると共に、第 6 のアンドゲート 2 1 1 6 の一方の入力端子にも接続され、さらに、出力端子 T 2 にも接続されている。

【 0 0 2 6 】第 6 のアンドゲート 2 1 1 6 の他方の入力端子は第 5 の D フリップ・フロップ 2 1 0 5 の出力端子 Q に接続されている。第 6 のアンドゲート 2 1 1 6 の出力信号は第 5 の D フリップ・フロップ 2 1 0 5 のデータ入力端子 D に供給される。第 4 の D フリップ・フロップ 2 1 0 5 の出力端子 Q は、上述したように第 6 のアンドゲート 2 1 1 6 の入力端子に接続されると共に、第 6 の D フリップ・フロップ 2 1 0 6 のデータ入力端子 D に接続され、さらに、タイミング信号 S 2 を出力する。第 6 の D フリップ・フロップ 2 1 0 6 の相補出力端子 / Q は、上述したように第 5 のアンドゲート 2 1 1 5 の入力端子に接続され、第 6 の D フリップ・フロップ 2 1 0 6 の出力端子 Q は第 7 の D フリップ・フロップ 2 1 0 7 のデータ入力端子 D に接続されている。第 7 の D フリップ・フロップ 2 1 0 7 の出力端子 Q は J K フリップ・フリップ 2 1 1 4 の K 入力端子に接続されている。J K フリップ・フリップ 2 1 1 4 の出力端子 Q は、取り込みサイクル信号 S 7 を出力する。

【 0 0 2 7 】図 4 にメモリアクセス調停部 2 3 の詳細な回路図を示す。メモリアクセス調停部 2 3 は、第 1 乃至第 6 の D フリップ・フロップ 2 3 0 1、2 3 0 2、2 3 0 3、2 3 0 4、2 3 0 5、および 2 3 0 6 と、第 1 乃至第 8 のアンドゲート 2 3 1 1、2 3 1 2、2 3 1 3、2 3 1 4、2 3 1 5、2 3 1 6、2 3 1 7、および 2 3 1 8 と、第 1 乃至第 7 のオアゲート 2 3 2 1、2 3 2 2、2 3 2 3、2 3 2 4、2 3 2 5、2 3 2 6、および 2 3 2 7 と、インバータゲート 2 3 3 1 と、J K フリップ・フロップ 2 3 4 1 とから構成されている。

【 0 0 2 8 】第 1 のオアゲート 2 3 2 1 の一方の入力端子にはメモリライト要求信号 S 4 が供給される。第 1 の

オアゲート 2 3 2 1 の他方の入力端子は第 1 の D フリップ・フロップ 2 3 0 1 の出力端子 Q に接続されている。第 1 のオアゲート 2 3 2 1 の出力信号は第 1 のアンドゲート 2 3 1 1 の一方の入力端子に接続され、その他方の入力端子には第 5 のオアゲート 2 3 2 5 の出力信号であるメモリサイクル許可信号 S 6 が供給される。第 1 のアンドゲート 2 3 1 1 の出力信号は第 1 の D フリップ・フロップ 2 3 0 1 のデータ入力端子 D に供給される。第 1 の D フリップ・フロップ 2 3 0 1 の出力端子 Q は、上述したように、第 1 のオアゲート 2 3 2 1 の入力端子に接続されると共に、第 2 のオアゲート 2 3 2 2 の一方の入力端子に接続されている。

【 0 0 2 9 】第 2 のオアゲート 2 3 2 2 の他方の入力端子は第 2 の D フリップ・フロップ 2 3 0 2 の出力端子 Q に接続されている。第 2 のオアゲート 2 3 2 2 の出力信号は第 2 のアンドゲート 2 3 1 2 の一方の入力端子に接続され、その他方の入力端子にはメモリサイクル許可信号 S 6 が供給されている。第 2 のアンドゲート 2 3 1 2 の出力信号は D フリップ・フロップ 2 3 0 2 のデータ入力端子 D に供給される。第 2 の D フリップ・フロップ 2 3 0 2 の出力端子 Q は上述したように第 2 のオアゲート 2 3 2 2 の入力端子に接続されると共に、第 3 のアンドゲート 2 3 1 3 の一方の入力端子に接続されている。

【 0 0 3 0 】第 3 のアンドゲート 2 3 1 3 の他方の入力端子には、取り込みサイクル信号 S 7 をインバータゲート 2 3 3 1 で反転した信号が供給される。インバータゲート 2 3 3 1 と第 3 のアンドゲート 2 3 1 3 との組み合わせは、モート信号取り込みタイミング制御部 2 1 から供給される取り込みサイクル信号 S 7 に応答して、メモリライト起動信号 S 9 の生成を待たせる手段として働く。

【 0 0 3 1 】第 3 のアンドゲート 2 3 1 3 の出力信号は第 4 のアンドゲート 2 3 1 4 の一方の入力端子と第 6 のオアゲート 2 3 2 6 の一方の入力端子に接続されている。第 4 のアンドゲート 2 3 1 4 の他方の入力端子は第 3 の D フリップ・フロップ 2 3 0 3 の相補出力端子 / Q が接続されている。第 4 のアンドゲート 2 3 1 4 の出力信号は第 3 の D フリップ・フロップ 2 3 0 3 のデータ入力端子 D に接続されている。第 3 の D フリップ・フロップ 2 3 0 3 の相補出力端子 / Q は、上述したように、第 4 のアンドゲート 2 3 1 3 の入力端子に接続され、第 3 の D フリップ・フロップ 2 3 0 3 の出力端子 Q は第 5 のオアゲート 2 3 2 5 の一方の入力端子に接続されると共に、メモリライト起動信号 S 9 を出力する。

【 0 0 3 2 】すなわち、第 1 のオアゲート 2 3 2 1、第 1 のアンドゲート 2 3 1 1、第 1 の D フリップ・フロップ 2 3 0 1、第 2 のオアゲート 2 3 2 2、第 2 のアンドゲート 2 3 1 2、第 2 の D フリップ・フロップ 2 3 0 2、第 3 および第 4 のアンドゲート 2 3 1 3 および 2 3 1 4、第 3 の D フリップ・フロップ 2 3 0 3、第 5 のオアゲート 2 3 2 5、およびインバータゲート 2 3 3 1 の

組合わせは、メモリライト要求信号 S 4、メモリサイクル許可信号 S 6、および取り込みサイクル信号 S 7 に応答して、メモリライト起動信号 S 9 を生成する手段として働く。

【0033】第3のオアゲート 2323 の一方の入力端子にはメモリリード要求信号 S 5 が供給される。第3のオアゲート 2323 の他方の入力端子は第4の D フリップ・フロップ 2304 の出力端子 Q に接続されている。第3のオアゲート 2323 の出力信号は第5の AND ゲート 2315 の一方の入力端子に接続され、その他方の入力端子には第5のオアゲート 2325 の出力信号であるメモリサイクル許可信号 S 6 が供給される。第5の AND ゲート 2315 の出力信号は第4の D フリップ・フロップ 2304 のデータ入力端子 D に供給される。第4の D フリップ・フロップ 2304 の出力端子 Q は上述したように第3のオアゲート 2323 の入力端子に接続されると共に、第4のオアゲート 2324 の一方の入力端子に接続されている。

【0034】第4のオアゲート 2324 の他方の入力端子は第5の D フリップ・フロップ 2305 の出力端子 Q に接続されている。第4のオアゲート 2324 の出力信号は第6の AND ゲート 2316 の一方の入力端子に接続され、その他方の入力端子にはメモリサイクル許可信号 S 6 が供給されている。第6の AND ゲート 2316 の出力信号は第5の D フリップ・フロップ 2305 のデータ入力端子 D に供給される。第5の D フリップ・フロップ 2305 の出力端子 Q は上述したように第4のオアゲート 2324 の入力端子に接続されると共に、第7の AND ゲート 2317 の一方の入力端子に接続されている。

【0035】第7の AND ゲート 2317 の他方の入力端子には、取り込みサイクル信号 S 7 をインバータゲート 2331 で反転した信号が供給される。インバータゲート 2331 と第7の AND ゲート 2317 の組合わせは、モード信号取り込みタイミング制御部 21 から供給される取り込みサイクル信号 S 7 に応答して、メモリリード起動信号 S 10 の生成を待たせる手段として働く。

【0036】第7の AND ゲート 2317 の出力信号は第8の AND ゲート 2318 の一方の入力端子と第6のオアゲート 2326 の他方の入力端子に接続されている。第8の AND ゲート 2318 の他方の入力端子は第6の D フリップ・フロップ 2306 の相補出力端子 /Q が接続されている。第8の AND ゲート 2318 の出力信号は第6の D フリップ・フロップ 2306 のデータ入力端子 D に接続されている。第6の D フリップ・フロップ 2306 の相補出力端子 /Q は、上述したように、第8の AND ゲート 2318 の入力端子に接続され、第6の D フリップ・フロップ 2306 の出力端子 Q は第5のオアゲート 2325 の他方の入力端子に接続されると共に、メモリリード起動信号 S 10 を出力する。

【0037】すなわち、第3のオアゲート 2323、第5の AND ゲート 2315、第4の D フリップ・フロップ 2304、第4のオアゲート 2324、第6の AND ゲート 2316、第5の D フリップ・フロップ 2305、第7および第8の AND ゲート 2317 および 2318、第6の D フリップ・フロップ 2306、第5のオアゲート 2325、およびインバータゲート 2331 の組合わせは、メモリリード要求信号 S 5、メモリサイクル許可信号 S 6、および取り込みサイクル信号 S 7 に応答して、メモリリード起動信号 S 10 を生成する手段として働く。

【0038】前述したように、第6のオアゲート 2326 の2つの入力端子には、第3および第7の AND ゲート 2313 および 2317 の出力信号が供給される。第6のオアゲート 2326 の出力信号は JK フリップ・フロップ 2341 の J 入力端子と第7のオアゲート 2327 の一方の入力端子に接続されている。JK フリップ・フロップ 2341 の K 入力端子にはメモリ制御部 30 (図1) からメモリサイクル終了信号 S 14 が供給される。JK フリップ・フロップ 2341 の出力端子 Q は第7のオアゲート 2327 の他方の入力端子に接続されている。第7のオアゲート 2327 の出力信号は取り込み待ち信号 S 11 としてモード信号取り込みタイミング制御部 21 (図1) に供給される。

【0039】また、前述したように、第5のオアゲート 2325 の2つの入力端子には、第3および第6の D フリップ・フロップ 2303 および 2306 からそれぞれメモリライト起動信号 S 9 およびメモリリード起動信号 S 10 が供給される。第5のオアゲート 2325 はメモリライト起動信号 S 9 とメモリリード起動信号 S 10 との論理和をとって、メモリサイクル許可信号 S 6 を生成する。ここで、インバータゲート 2331 と第3および第7の AND ゲート 2313 および 2317 との組合わせは、モード信号取り込みタイミング制御部 21 から供給される取り込みサイクル信号 S 7 に応答して、メモリサイクル許可信号 S 6 の生成を待たせる手段として働く。

【0040】次に、図5乃至図10に示すタイムチャートを参照して本発明に係る L S I 1 の動作について説明する。

【0041】最初に、図5を参照して、通常のメモリライトサイクルの動作について説明する。システムからメモリライト要求信号 S 4 が発生した時、メモリアクセス調停部 23 では、メモリライト要求信号 S 4 を、メモリアクセスの基準クロックとなるメモリクロック MCK で同期化している。この同期化した信号が、メモリアクセス調停部 23 内の第2の D フリップ・フロップ 2302 の出力端子 D から出力される信号 S 42 (図4) である。この信号 S 42 は、メモリサイクル許可信号 S 6 が発生するまで、メモリアクセス調停部 23 内の第2の D



フリップ・フロップ2302で保持される。

【0042】メモリサイクル許可信号S6とメモリライト起動信号D9は、信号S42をメモリクロックMCKで最初に“1”をサンプルしたクロックの時点t1からメモリクロックMCKの1周期(T)分のパルスとして発生する。メモリサイクル許可信号S6をメモリクロックMCKでサンプルした時点t2でメモリライト要求信号S4、および信号S41、S42は解除される。

【0043】一方、メモリライト起動信号S9を受けたメモリ制御部30は、メモリ制御信号である行アドレス・ストローブRAS、列アドレス・ストローブCAS、書込みイネーブルWEを生成し、メモリアクセスを行なう。この時、双方向バッファ40は出力方向となり、メモリ3に対するライドデータを出力する。

【0044】また、取り込み待ち信号S11は信号S42と同じタイミングt0で発生し、メモリ制御部30から発行されるメモリサイクル終了信号S14をメモリクロックMCKでサンプルする時点t3まで、メモリアクセス調停部23内のJKフリップ・フロップ2341で保持する。

【0045】次に、図6を参照して、通常のメモリリードサイクルの動作について説明する。上述したメモリライト時と同様に、システムからメモリリード要求信号S5が発生した時、メモリアクセス調停部23では、メモリリード要求信号S4をメモリクロックMCKで同期化している。この同期化した信号が、メモリアクセス調停部23内の第5のDフリップ・フロップ2305の出力端子Dから出力される信号S52(図4)である。この信号S52は、メモリサイクル許可信号S6が発生するまで、メモリアクセス調停部23内の第5のDフリップ・フロップ2305で保持される。

【0046】メモリサイクル許可信号S6とメモリリード起動信号D10は、信号S52をメモリクロックMCKで最初に“1”をサンプルしたクロックの時点t1からメモリクロックMCKの1周期(T)分のパルスとして発生する。メモリサイクル許可信号S6をメモリクロックMCKでサンプルした時点t2でメモリリード要求信号S5、および信号S51、S52は解除される。

【0047】一方、メモリリード起動信号S10を受けたメモリ制御部30は、メモリ制御信号である行アドレス・ストローブRAS、列アドレス・ストローブCAS、書込みイネーブルWEを生成し、メモリアクセスを行なう。この時、双方向バッファ40は入力方向となっているので、メモリ3から出力されるリードデータはモードレジスタ10の入力データS1となる。しかしながら、このとき、モードレジスタタイミング信号S2が発生していないので、モードレジスタ10には入力データS1が取り込まれない。

【0048】また、取り込み待ち信号S11は信号S52と同じタイミングt0で発生し、メモリ制御部30か

ら発行されるメモリサイクル終了信号S14をメモリクロックMCKでサンプルする時点t3まで、メモリアクセス調停部23内のJKフリップ・フロップ2341で保持する。

【0049】次に、図7を参照して、モード信号取り込みサイクルが発生したためにメモリライトサイクルが待つ場合の動作について説明する。モード信号取り込みタイミング制御部23は、タイマ22が発行したモード信号取り込み要求S3をメモリクロックMCKで同期化して、時点t1で信号S32を生成する。信号S32が生成された時点t1で、取り込み待ち信号S11はインアクティブなので、信号S32はメモリクロックMCKによってサンプルされ、時点t2で取り込みサイクル信号S7、取り込み要求許可信号S8が生成される。

【0050】取り込みサイクル信号S7は、モード信号取り込みタイミング制御部21内のJKフリップ・フロップ2141で、メモリクロックMCKの5周期(5T)分保持され、取り込み要求許可信号S8はメモリクロックMCKの1周期(T)分のパルスとなる。取り込み要求許可信号S8をメモリクロックMCKでサンプリングした時点t3でモード信号取り込み要求信号S3、および信号S31、S32は解除される。

【0051】また、取り込み要求許可信号S8をサンプルした時点t3から、メモリクロックMCKの3周期(3T)分のパルスがトライステートバッファ2の出力制御信号T2として生成される。さらに、取り込み要求許可信号S8よりモードレジスタタイミング信号S2を生成する。このモードレジスタタイミング信号S2が生成された時点t4では、トライステートバッファ2は出力状態となっているため、双方向端子T1に対してモード設定信号S13が入力され、モードレジスタ10の入力データS1として取り込まれる。

【0052】一方、モード信号取り込み要求S3が発生したあと(同時は除く)に発行されたメモリライト要求信号S4は、通常動作と同様に、メモリアクセス調停部23内においてメモリクロックMCKで同期され信号S42となる。この時、取り込みサイクル信号S7がアクティブになっているので、信号S42はマスクされ、取り込みサイクル信号S7がインアクティブになるまで、メモリサイクル許可信号S6、メモリライト起動信号S9、取り込み待ち信号S11は生成されず、結果としてメモリライトサイクルが待つことになる。

【0053】次に、図8を参照して、モード信号取り込みサイクルが発生したためにメモリリードサイクルが待つ場合の動作について説明する。図7に示したメモリライトサイクルが待つ場合と同様に、メモリリード要求信号S5をメモリクロックMCKで同期化して信号S52が取り込みサイクル信号S7によってマスクされたため、メモリリードサイクルが待つことになる。

【0054】詳述すると、モード信号取り込みタイミン

グ制御部 23 は、タイマ 22 が発行したモード信号取り込み要求 S3 をメモリクロック MCK で同期化して、時点 t1 で信号 S32 を生成する。信号 S32 が生成された時点 t1 で、取り込み待ち信号 S11 はインアクティブなので、信号 S32 はメモリクロック MCK によってサンプルされ、時点 t2 で取り込みサイクル信号 S7、取り込み要求許可信号 S8 が生成される。

【0055】取り込みサイクル信号 S7 は、モード信号取り込みタイミング制御部 21 内の JK フリップ・フロップ 2141 で、メモリクロック MCK の 5 周期 (5 T) 分保持され、取り込み要求許可信号 S8 はメモリクロック MCK の 1 周期 (T) 分のパルスとなる。

【0056】取り込み要求許可信号 S8 をメモリクロック MCK でサンプリングした時点 t3 でモード信号取り込み要求信号 S3、および信号 S31、S32 は解除される。

【0057】また、取り込み要求許可信号 S8 をサンプルした時点 t3 から、メモリクロック MCK の 3 周期

(3 T) 分のパルスがトライステートバッファ 2 の出力制御信号 T2 として生成される。さらに、取り込み要求許可信号 S8 よりモードレジスタタイミング信号 S2 を生成する。このモードレジスタタイミング信号 S2 が生成された時点 t4 では、トライステートバッファ 2 は出力状態となっているため、双方向端子 T1 に対してモード設定信号 S13 が入力され、モードレジスタ 10 の入力データ S1 として取り込まれる。

【0058】一方、モード信号取り込み要求 S3 が発生したあと (同時は除く) に発行されたメモリリード要求信号 S5 は、通常動作と同様に、メモリアクセス調停部 23 内においてメモリクロック MCK で同期され信号 S52 となる。この時、取り込みサイクル信号 S7 がアクティブになっているので、信号 S52 はマスクされ、取り込みサイクル信号 S7 がインアクティブになるまで、メモリサイクル許可信号 S6、メモリリード起動信号 S10、取り込み待ち信号 S11 は生成されず、結果としてメモリリードサイクルが待つことになる。

【0059】次に、図 9 を参照して、メモリライトサイクルが発生した為にモード信号取り込みサイクルが待つ場合の動作について説明する。メモリライト要求信号 S4 が発生した後 (同時も含む) にモード信号取り込み要求信号 S3 が発生したとする。

【0060】この場合、メモリライト要求信号 S4 は、図 5 を参照して説明した通常動作と同様に受け付けられる。

【0061】一方、モード信号取り込み要求信号 S3 は、モード信号取り込みタイミング制御部 21 においてメモリクロック MCK で同期化されて信号 S32 となる。この時、取り込み待ち信号 S11 がアクティブになっているため、取り込み待ち信号 S11 がインアクティブになるまで、つまりメモリライトサイクルが終了する

まで、取り込みサイクル信号 S7、取り込み要求許可信号 S8 は生成されず、結果としてモード信号取り込みサイクルが待つことになる。

【0062】次に、図 10 を参照して、メモリリードサイクルが発生した為にモード信号取り込みサイクルが待つ場合の動作について説明する。メモリリード要求信号 S5 が発生した後 (同時も含む) にモード信号取り込み要求信号 S3 が発生したとする。

【0063】この場合、図 9 を参照して説明した、メモリライトサイクルによって待つ場合と同様に、信号 S32 が取り込み待ち信号 S11 によってマスクされるためモード信号取り込みサイクルが待つことになる。

【0064】すなわち、メモリリード要求信号 S5 は、図 6 を参照して説明した通常動作と同様に受け付けられる。

【0065】一方、モード信号取り込み要求信号 S3 は、モード信号取り込みタイミング制御部 21 においてメモリクロック MCK で同期化されて信号 S32 となる。この時、取り込み待ち信号 S11 がアクティブになっているため、取り込み待ち信号 S11 がインアクティブになるまで、つまりメモリライトサイクルが終了するまで、取り込みサイクル信号 S7、取り込み要求許可信号 S8 は生成されず、結果としてモード信号取り込みサイクルが待つことになる。

【0066】以上の様にして、タイマ 22 に設定した値に従って一定時間間隔で動作モード信号取り込みサイクルが発生し、LSI の通常動作を妨げることなく、動作モードの変更が可能となる。

【0067】

【発明の効果】以上述べたように、本発明によれば、LSI 外部にトライステートバッファを設け、このトライステートバッファの出力を双方向制御のデータバスとワイヤード接続し、LSI 内部で一定時間間隔で動作モード取り込みサイクルを発生させて、トライステートバッファのイネーブルを制御しているので、LSI の通常動作を妨げることなく、LSI の動作モードを変更することができる。また、LSI の動作モード設定端子を双方向端子と共用しているので、動作モードを設定するための動作モード設定専用端子を必要としない。

【図面の簡単な説明】

【図 1】本発明の一実施形態に係るモード信号取り込み機能つき LSI の内部構成を示すブロック図である。

【図 2】図 1 に示したモード信号取り込み機能つき LSI とその周辺回路とを示すブロック図である。

【図 3】同実施形態中のモード信号取り込みタイミング制御部の詳細な構成を示す回路図である。

【図 4】同実施形態中のメモリアクセス調停部の詳細な構成を示す回路図である。

【図 5】同実施形態のメモリライト通常サイクルの動作を説明するためのタイミングチャートである。

【図 6】同実施形態のメモリリード通常サイクルの動作を説明するためのタイミングチャートである。

【図 7】モード信号取り込みによりメモリライトを待つ場合の動作を説明するためのタイミングチャートである。

【図 8】モード信号取り込みによりメモリリードを待つ場合の動作を説明するためのタイミングチャートである。

【図 9】メモリライトによりモード信号取り込みを待つ場合の動作を説明するためのタイミングチャートである。

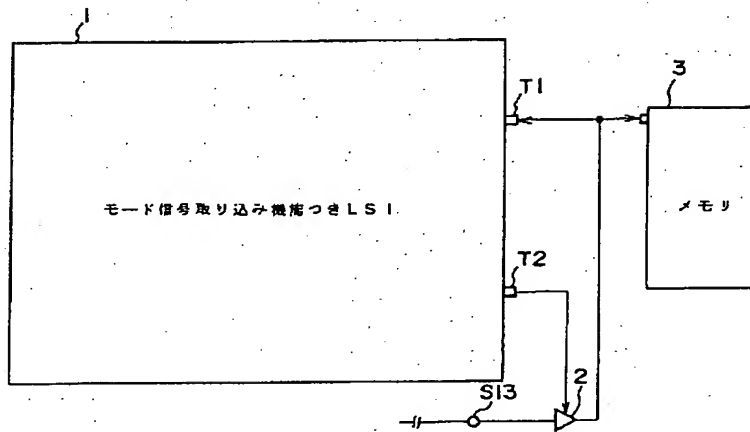
【図 10】メモリリードによりモード信号取り込みを待つ場合の動作を説明するためのタイミングチャートである。

る。

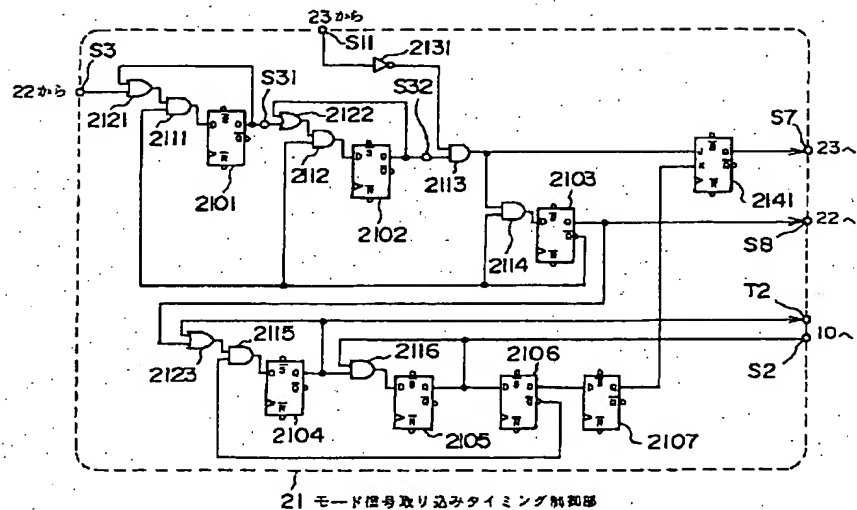
【符号の説明】

- |    |                     |
|----|---------------------|
| 1  | モード信号取り込み機能つき L S I |
| 2  | トライステートバッファ         |
| 3  | メモリ                 |
| 10 | モードレジスタ             |
| 20 | モード信号取り込み部          |
| 21 | モード信号取り込みタイミング制御部   |
| 22 | タイマ                 |
| 23 | メモリアクセス調停部          |
| 30 | メモリ制御部              |
| 40 | 双方向バッファ             |

【図 2】

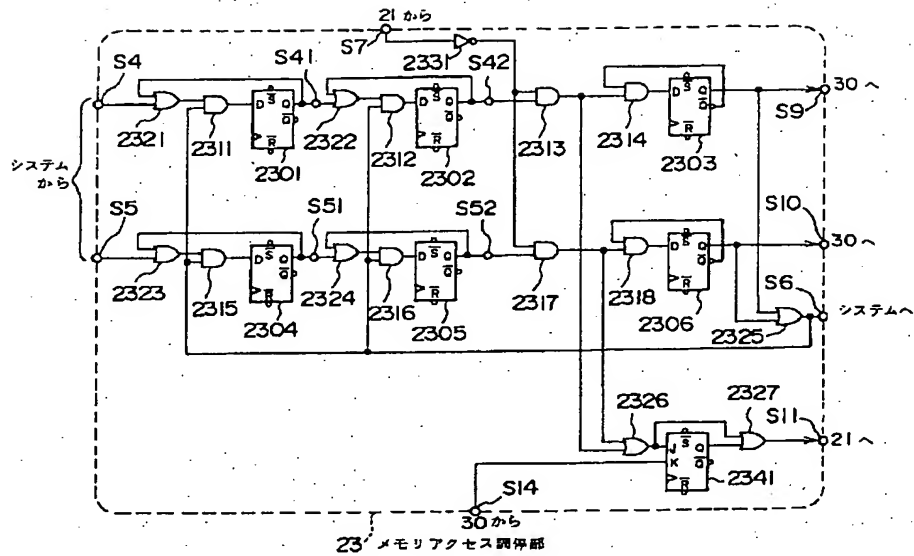


【図 3】

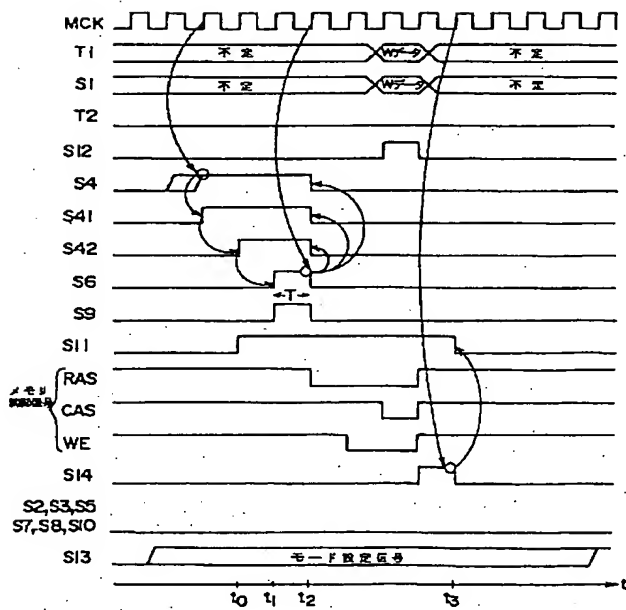




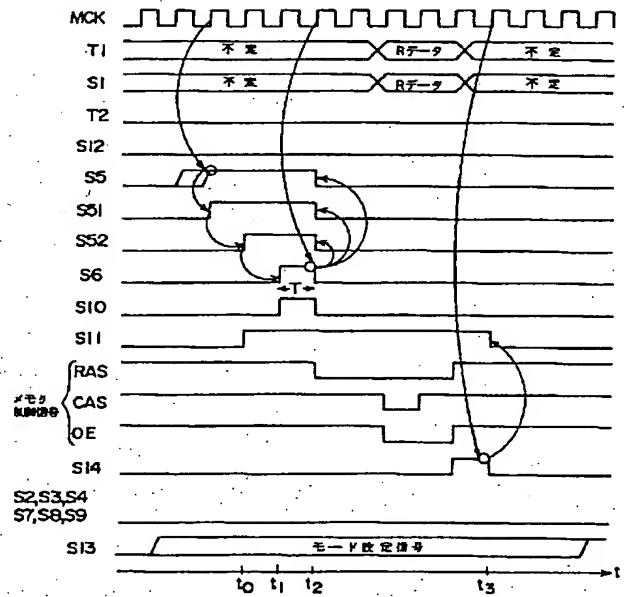
【図 4】



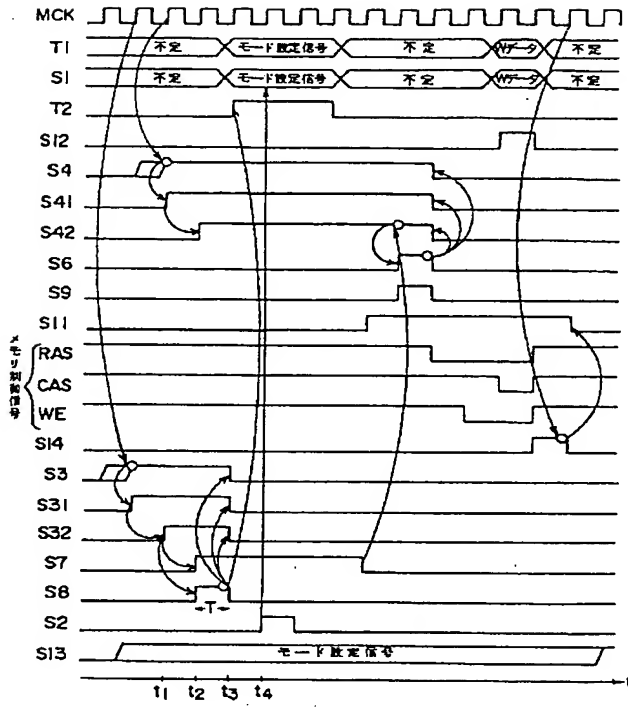
【図 5】



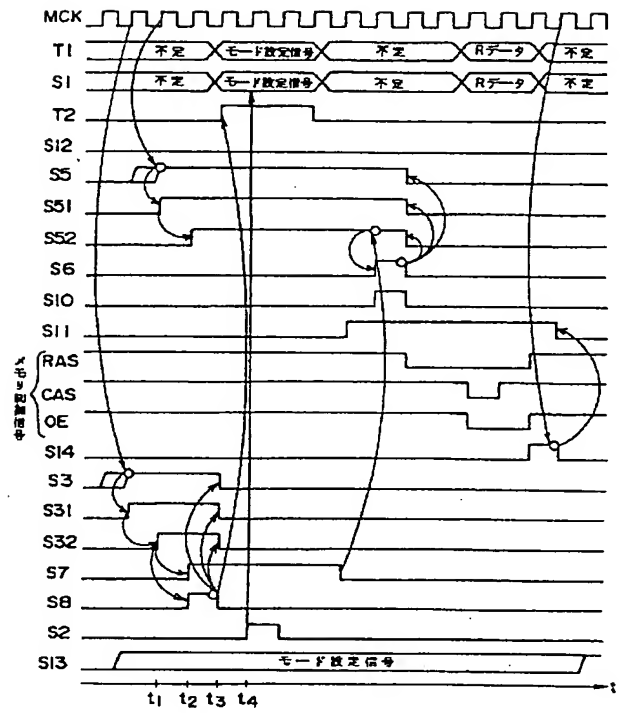
【図 6】



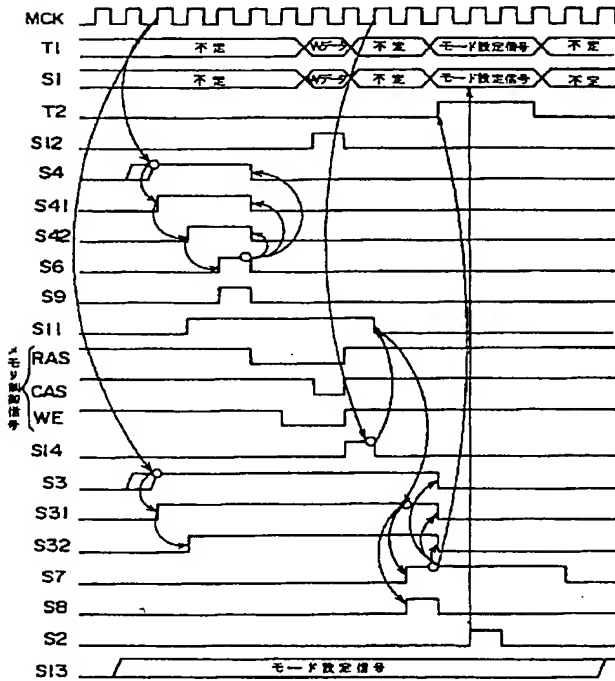
【図 7】



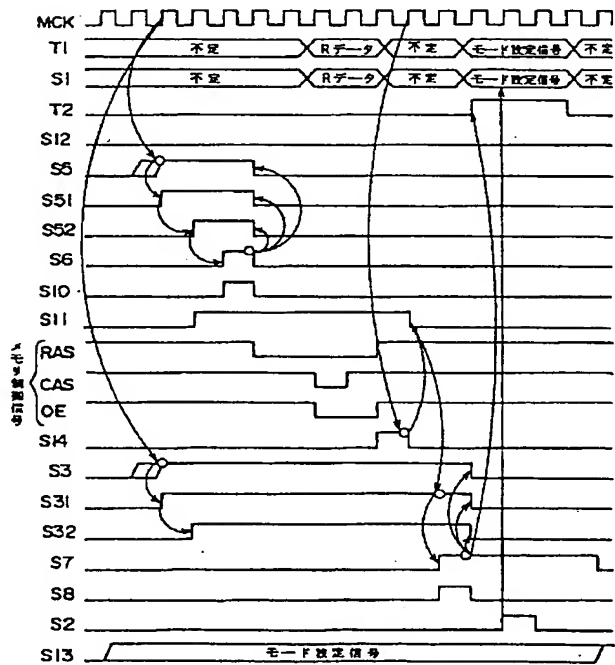
【図 8】



【図 9】



【図 10】



フロントページの続き

(51) Int. Cl.<sup>4</sup>

識別記号

F I

H 0 3 K 19/0175

H 0 3 K 19/00

1 0 1 J

**THIS PAGE BLANK (USPTO)**